

IMAGE SIGNAL PROCESSOR

Patent Number: JP9181970
Publication date: 1997-07-11
Inventor(s): SUGIYAMA TORU; YASUKI SEIJIROU
Applicant(s): TOSHIBA CORP
Requested Patent: ☐ JP9181970
Application Number: JP19950336741 19951225
Priority Number(s):
IPC Classification: H04N5/262
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To execute a compression/expansion processing through the use of only a sampling frequency and to execute the conversion processing of the sampling frequency through the use of the sampling frequency and the sampling frequency after the conversion processing by executing the compression or expansion processing on a digitized picture signal in a horizontal direction.

SOLUTION: The digital image signal supplied to an input terminal 26 is supplied to an image signal processing circuit 27. Thus, the prescribed processing of the compression/expansion processing and the conversion processing of the sampling frequency is executed and the signal is outputted from an output terminal 28. The image signal processing circuit 27 is controlled by a controller 29. The controller 29 transmits the expansion rate of the picture and the values of a starting point and a final point in the horizontal direction in an area where the image is compression/expansion-processed to a former remote controller 37, transmits the value of an interpolation coefficient to a coefficient register 41 and transmits the values of the starting point and the final point, which show the display position of the image that is compressed/expanded in the horizontal direction, to a memory controller 47.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-181970

(43) 公開日 平成9年(1997)7月11日

(51) Int.Cl.⁸

H 0 4 N 5/262

識別記号

庁内整理番号

F I

H 0 4 N 5/262

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 21 頁)

(21) 出願番号 特願平7-336741

(22) 出願日 平成7年(1995)12月25日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 杉山 徹

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝マルチメディア技術研究所内

(72) 発明者 安木 成次郎

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝マルチメディア技術研究所内

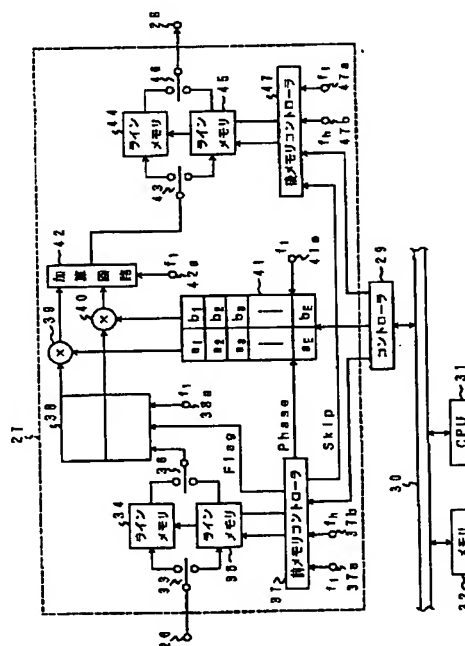
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 画像信号処理装置

(57) 【要約】

【課題】この発明は、デジタル画像信号に対してその標本化周波数のみを用いて圧縮・伸張処理を施すことができ、また、デジタル画像信号に対してその標本化周波数と交換処理後の標本化周波数とを用いて標本化周波数の交換処理を施すことができる画像信号処理装置を提供するものである。

【解決手段】圧縮または伸張処理を行なう上で、デジタル画像信号の標本化周波数の1クロック以内で、圧縮または伸張画像の1画素分の画像信号を生成する。つまり、圧縮または伸張画像のアドレスに相当する原画像のアドレスを1クロック以内で算出している。この場合、乗除算回路を加減算回路で代用して回路規模を縮小し、任意の圧縮または伸張率で圧縮または伸張処理を施すことを可能としている。



【特許請求の範囲】

【請求項 1】 デジタル化された画像信号に対して水平方向に圧縮または伸張処理を施す画像信号処理装置において、

前記画像信号の水平方向の圧縮または伸張率を示す情報と、前記画像信号の圧縮または伸張処理を施す水平方向の領域の位置を示す情報と、圧縮または伸張された前記画像信号の水平方向の領域の表示位置を示す情報と、前記画像信号にフィルタリング演算処理を施すための複数の係数とを設定する設定手段と、

前記画像信号の標本化クロックの周期で書き込みアドレスを生成し、前記画像信号の圧縮または伸張率を示す情報と、前記画像信号の圧縮または伸張処理を施す水平方向の領域の位置を示す情報とを用いて、前記標本化クロックの周期単位で演算処理を行なうことにより読み出しアドレスを生成するとともに、前記画像信号にフィルタリング演算処理を施すための複数の係数の中から必要な係数を選択する第 1 の制御手段と、

この第 1 の制御手段で生成された書き込みアドレスに基づいて前記画像信号がライン単位で書き込まれ、前記第 1 の制御手段で生成された読み出しアドレスに基づいて読み出される第 1 のラインメモリと、

この第 1 のラインメモリから読み出された画像信号を、前記第 1 の制御手段で生成された情報に基づいてデータを更新する記憶手段に入力する手段と、

この記憶手段から出力された画像信号に対して、前記第 1 の制御手段で選択された係数に基づいてフィルタリング演算処理を施す演算手段と、

圧縮または伸張された前記画像信号の水平方向の領域の表示位置を示す情報と、前記第 1 の制御手段で生成された情報とに基づいて書き込みアドレスを生成し、前記画像信号の標本化クロックの周期で読み出しアドレスを生成する第 2 の制御手段と、

この第 2 の制御手段で生成された書き込みアドレスに基づいて、書き込みアドレスが 1 更新される標本化クロックの周期のみ、前記画像信号がライン単位で書き込まれ、前記第 2 の制御手段で生成された読み出しアドレスに基づいて読み出される第 2 のラインメモリとを具備してなることを特徴とする画像信号処理装置。

【請求項 2】 前記第 1 及び第 2 の制御手段は、前記画像信号の伸張率が正の整数を用いた分数であるとき、分子が分母より大きい場合は、前記フィルタリング演算を行なう係数を決定する値と伸張率の分母とを加算し、その値が伸張率の分子より小さい場合は、前記第 1 のラインメモリの読み出しアドレスは前の値を保持し、前記記憶手段のデータの更新を行わず、前記第 2 のラインメモリの書き込みアドレスの値を 1 更新し、前記フィルタリング演算を行なう係数を決定する値は前の値と伸張率の分母の値とを加算した値とし、

前記フィルタリング演算を行なう係数を決定する値と伸

張率の分母とを加算し、その値が伸張率の分子より大きい場合は、前記第 1 のラインメモリの読み出しアドレスは値を 1 更新し、前記記憶手段のデータの更新を行ない、前記第 2 のラインメモリの書き込みアドレスの値を 1 更新し、前記フィルタリング演算を行なう係数を決定する値は前の値と伸張率の分母の値とを加算した値から分子の値を減算した値とし、

前記伸張率の分子が分母より小さい場合は、前記フィルタリング演算を行なう係数を決定する値と伸張率の分母とを加算して分子を減算し、その値が伸張率の分子より小さい場合は、前記第 1 のラインメモリの読み出しアドレスは値を 1 更新し、前記記憶手段のデータの更新を行ない、前記第 2 のラインメモリの書き込みアドレスの値を 1 更新し、前記フィルタリング演算を行なう係数を決定する値は前の値と伸張率の分母の値とを加算し分子の値を減算した値とし、

前記フィルタリング演算を行なう係数を決定する値と伸張率の分母とを加算して分子を減算し、その値が伸張率の分子より大きい場合は、前記第 1 のラインメモリの読み出しアドレスは値を 1 更新し、前記記憶手段のデータの更新を行ない、前記第 2 のラインメモリの書き込みアドレスは前の値を保持し、前記フィルタリング演算を行なう係数を決定する値は前の値から伸張率の分子の値を減算した値とすることを特徴とする請求項 2 記載の画像信号処理装置。

【請求項 3】 前記第 1 及び第 2 の制御手段は、前記画像信号の標本化周波数変換を行なう際に、変換後の周波数が、変換前の周波数より低い場合は、前記第 2 のラインメモリの読み出しアドレスの制御以後の処理を変換後の周波数で制御し、それ以前の処理は変換前の周波数で制御し、

変換後の周波数が、変換前の周波数より高い場合は、前記第 1 のラインメモリの読み出しアドレスの制御以後の処理を変換後の周波数で制御し、それ以前の処理は変換前の周波数で制御することを特徴とする請求項 1 記載の画像信号処理装置。

【請求項 4】 順次走査のデジタル化された画像信号に対して垂直方向に圧縮または伸張処理を施す画像信号処理装置において、

前記画像信号の垂直方向の圧縮または伸張率を示す情報と、前記画像信号の圧縮または伸張処理を施す垂直方向の領域の位置を示す情報と、圧縮または伸張された前記画像信号の垂直方向の領域の表示位置を示す情報と、前記画像信号にフィルタリング演算処理を施すための複数の係数とを設定する設定手段と、

前記画像信号の標本化クロックの周期で水平書き込みアドレスを生成し、前記画像信号のライン周期で垂直書き込みアドレスを生成し、前記画像信号の標本化クロックの周期で水平読み出しアドレスを生成し、前記画像信号の圧縮または伸張率を示す情報と、前記画像信号の圧縮

または伸張処理を施す垂直方向の領域の位置を示す情報とを用いて、前記ライン周期で演算処理を行なうことにより垂直読み出しアドレスを生成するとともに、前記画像信号にフィルタリング演算処理を施すための複数の係数の中から必要な係数を選択する第1の制御手段と、この第1の制御手段で生成された水平及び垂直書き込みアドレスに基づいて前記画像信号がフレーム単位で書き込まれ、前記第1の制御手段で生成された水平及び垂直読み出しアドレスに基づいて読み出される第1のフレームメモリと、この第1のフレームメモリから読み出された画像信号を、前記第1の制御手段で生成された情報に基づいてデータを更新する記憶手段に入力する手段と、この記憶手段から出力された画像信号に対して、前記第1の制御手段で選択された係数に基づいてフィルタリング演算処理を施す演算手段と、前記画像信号の標本化クロックの周期で水平書き込みアドレスを生成し、圧縮または伸張された前記画像信号の垂直方向の領域の表示位置を示す情報と、前記第1の制御手段で生成された情報とを用いて、前記ライン周期で演算処理を行なうことにより垂直書き込みアドレスを生成し、前記画像信号の標本化クロックの周期で水平読み出しアドレスを生成し、前記画像信号のライン周期で垂直読み出しアドレスを生成する第2の制御手段と、この第2の制御手段で生成された水平及び垂直書き込みアドレスに基づいて、垂直書き込みアドレスが1更新されるライン周期のみ、前記画像信号がフレーム単位で書き込まれ、前記第2の制御手段で生成された水平及び垂直読み出しアドレスに基づいて読み出される第2のフレームメモリとを具備してなることを特徴とする画像信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、複数のデジタル画像信号に対して、水平方向及び垂直方向の圧縮・伸張処理あるいは標本化周波数の変換処理を施す画像信号処理装置の改良に関する。

【0002】

【従来の技術】周知のように、現在では、複数のデジタル画像信号を合成して、1つの画面上に重ね合わせるように画像表示させる画像信号処理装置が開発されている。図22は、3つの画像a、b、cを合成して、1つの画面上に表示させた例を示している。この例では、合成する以前に、3つの画像a、b、cをそれぞれ水平方向及び垂直方向に圧縮・伸張する必要がある。

【0003】ここで、画像を水平方向にE/C倍（E、Cは共に正の整数）に伸張することを考える。この場合には、画像を水平方向にE倍に伸張した後、1/C倍に圧縮する手法が知られている。図23は、画像を水平方向に2/3倍に伸張する場合の例を示している。図23

(a)は原画像を示し、同図(b)はそれを水平方向に2倍に伸張した画像を示し、同図(c)はさらにそれを水平方向に1/3倍に圧縮してなる2/3倍伸張画像を示している。

【0004】図24(a)は、図23(a)に示した原画像を再生する場合の水平アドレスを示し、図24

(b)は、図23(b)に示した2倍伸張画像を再生する場合の水平アドレスを示し、図24(c)は、図23(c)に示した2/3倍伸張画像を再生する場合の水平アドレスを示している。すなわち、2倍伸張画像は、原画像の図中○印で示す画素を1アドレス毎にサンプリングし、各画素間を図中×印で示す画素で補間することによって得られる。また、2/3倍伸張画像は、2倍伸張画像の画素を3アドレス毎にサンプリングすることによって得られる。

【0005】次に、標本化周波数 f_1 でサンプリングされた画像信号を、標本化周波数 $f_2 [= (N/M) f_1]$ に変換することを考える。図25(a)は、標本化周波数 f_1 の画像を示し、同図(b)は、標本化周波数 f_2 の画像を示している。この場合には、標本化周波数 f_1 の画像信号を、標本化周波数 $N f_1$ の画像信号に変換した後、標本化周波数を $1/M$ に落とす手法が知られており、この手法は、画像を水平方向に N/M 倍にするのと同義である。

【0006】図26は、画像信号の標本化周波数を N/M 倍に変換するための標本化周波数変換回路を示している。すなわち、入力端子11に供給された標本化周波数 f_1 の画像信号は、入力端子12に供給された周波数 f_1 のサンプリングクロックに基づいて動作されるレジスタ13にラッチされた後、シフトレジスタ14に出力される。このシフトレジスタ14は、入力端子12に供給されたサンプリングクロックを、周波数逡倍回路15でN倍の周波数に変換したクロックに基づいて、入力された画像信号を順次ラッチする。

【0007】そして、このシフトレジスタ14の各段の出力は、それぞれ加重加算回路16により係数1が乗算された後、加算される。この加重加算回路16の出力は、乗算回路17により、入力端子18に供給された係数 $1/N$ が乗算された後、レジスタ19に供給される。このレジスタ19は、周波数逡倍回路20により上記周波数逡倍回路15の出力クロックを $1/M$ 倍の周波数に変換したクロック、つまり、 $(N/M) f_1 = f_2$ なる周波数のクロックに基づいて、入力信号を順次ラッチする。このため、レジスタ19からは、標本化周波数が f_1 から f_2 に変換された画像信号が出力され、出力端子21から取り出される。

【0008】一方、図27は、画像信号を水平方向にE/C倍に伸張するための伸張処理回路を、図26と同一部分には同一符号を付して示している。すなわち、図26に示した標本化周波数変換回路との相違は、画像信号

が標準化周波数 f_2 に変換された以後である。標準化周波数 f_2 に変換された画像信号は、切替スイッチ 22 によって 1 ライン毎に交互にラインメモリ 23, 24 に書き込まれる。これらラインメモリ 23, 24 の書き込みアドレスは、周波数逓倍回路 20 から出力されるクロック周波数 f_2 に基づいて更新される。

【0009】そして、これらラインメモリ 23, 24 に書き込まれた画像信号は、1 ライン期間保持された後、切替スイッチ 25 によって 1 ライン毎に交互に読み出され、出力端子 21 から取り出される。この場合、各ラインメモリ 23, 24 に与える読み出しアドレスを、周波数 f_1 のサンプリングクロックに基づいて更新することにより、水平方向に E/C 倍伸張された標準化周波数 f_1 の画像信号を生成することができる。

【0010】しかしながら、上記のように標準化周波数 f_1 の画像信号に対して、圧縮・伸張処理や標準化周波数の変換処理等を施す従来の画像信号処理手段では、周波数 f_1 のサンプリングクロックの N 倍あるいは E 倍のクロック周波数で動作を行なう回路部分が必要となるので、 N あるいは E の値が大きくなるに連れて高速動作の可能な回路が必要となり、実現が困難になるという問題が生じている。

【0011】

【発明が解決しようとする課題】以上のように、従来の画像信号処理手段では、デジタル画像信号に対して圧縮・伸張処理や標準化周波数の変換処理等を施す上で、高いクロック周波数で動作を行なうつまり高速動作の可能な回路が必要になり、実現が困難になり易いという問題を有している。

【0012】そこで、この発明は上記事情を考慮してなされたもので、デジタル画像信号に対してその標準化周波数のみを用いて圧縮・伸張処理を施すことができ、また、デジタル画像信号に対してその標準化周波数と変換処理後の標準化周波数とを用いて標準化周波数の変換処理を施すことができる極めて良好な画像信号処理装置を提供することを目的とする。

【0013】

【課題を解決するための手段】この発明に係る画像信号処理装置は、デジタル化された画像信号に対して水平方向に圧縮または伸張処理を施すものを対象としている。

【0014】そして、画像信号の水平方向の圧縮または伸張率を示す情報と、画像信号の圧縮または伸張処理を施す水平方向の領域の位置を示す情報と、圧縮または伸張された画像信号の水平方向の領域の表示位置を示す情報と、画像信号にフィルタリング演算処理を施すための複数の係数とを設定する設定手段と、画像信号の標準化クロックの周期で書き込みアドレスを生成し、画像信号の圧縮または伸張率を示す情報と、画像信号の圧縮または伸張処理を施す水平方向の領域の位置を示す情報とを用いて、標準化クロックの周期単位で演算処理を行なう

ことにより読み出しアドレスを生成するとともに、画像信号にフィルタリング演算処理を施すための複数の係数の中から必要な係数を選択する第 1 の制御手段と、この第 1 の制御手段で生成された書き込みアドレスに基づいて画像信号がライン単位で書き込まれ、第 1 の制御手段で生成された読み出しアドレスに基づいて読み出される第 1 のラインメモリと、この第 1 のラインメモリから読み出された画像信号を、前記第 1 の制御手段で生成された情報に基づいてデータを更新する記憶手段に入力する手段と、この記憶手段から出力された画像信号に対して、前記第 1 の制御手段で選択された係数に基づいてフィルタリング演算処理を施す演算手段と、圧縮または伸張された画像信号の水平方向の領域の表示位置を示す情報と、第 1 の制御手段で生成された情報とに基づいて書き込みアドレスを生成し、画像信号の標準化クロックの周期で読み出しアドレスを生成する第 2 の制御手段と、この第 2 の制御手段で生成された書き込みアドレスに基づいて、書き込みアドレスが 1 更新される標準化クロックの周期のみ、画像信号がライン単位で書き込まれ、第 2 の制御手段で生成された読み出しアドレスに基づいて読み出される第 2 のラインメモリとを備えるようにしたものである。

【0015】また、この発明に係る画像信号処理装置は、順次走査のデジタル化された画像信号に対して垂直方向に圧縮または伸張処理を施すものを対象としている。

【0016】そして、画像信号の垂直方向の圧縮または伸張率を示す情報と、画像信号の圧縮または伸張処理を施す垂直方向の領域の位置を示す情報と、圧縮または伸張された画像信号の垂直方向の領域の表示位置を示す情報と、画像信号にフィルタリング演算処理を施すための複数の係数とを設定する設定手段と、画像信号の標準化クロックの周期で水平書き込みアドレスを生成し、画像信号のライン周期で垂直書き込みアドレスを生成し、画像信号の標準化クロックの周期で水平読み出しアドレスを生成し、画像信号の圧縮または伸張率を示す情報と、画像信号の圧縮または伸張処理を施す垂直方向の領域の位置を示す情報とを用いて、ライン周期で演算処理を行なうことにより垂直読み出しアドレスを生成するとともに、画像信号にフィルタリング演算処理を施すための複数の係数の中から必要な係数を選択する第 1 の制御手段と、この第 1 の制御手段で生成された水平及び垂直書き込みアドレスに基づいて画像信号がフレーム単位で書き込まれ、第 1 の制御手段で生成された水平及び垂直読み出しアドレスに基づいて読み出される第 1 のフレームメモリと、この第 1 のフレームメモリから読み出された画像信号を、前記第 1 の制御手段で生成された情報に基づいてデータを更新する記憶手段に入力する手段と、この記憶手段から出力された画像信号に対して、前記第 1 の制御手段で選択された係数に基づいてフィルタリング演

算処理を施す演算手段と、画像信号の標本化クロックの周期で水平書き込みアドレスを生成し、圧縮または伸張された画像信号の垂直方向の領域の表示位置を示す情報と、第1の制御手段で生成された情報とを用いて、ライン周期で演算処理を行なうことにより垂直書き込みアドレスを生成し、画像信号の標本化クロックの周期で水平読み出しアドレスを生成し、画像信号のライン周期で垂直読み出しアドレスを生成する第2の制御手段と、この第2の制御手段で生成された水平及び垂直書き込みアドレスに基づいて、垂直書き込みアドレスが1更新されるライン周期のみ、画像信号がフレーム単位で書き込まれ、第2の制御手段で生成された水平及び垂直読み出しアドレスに基づいて読み出される第2のフレームメモリとを備えるようにしたものである。

【0017】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して詳細に説明する。まず、図1は、この発明の第1の実施の形態による画像信号処理装置の全体的な構成を示している。すなわち、入力端子26に供給されたデジタル画像信号は、画像信号処理回路27に供給されることにより、圧縮・伸張処理や標本化周波数の変換処理等の所定の信号処理が施されて、出力端子28から出力される。この画像信号処理回路27は、コントローラ29によってその動作が制御されている。

【0018】そして、このコントローラ29は、システムバス30を介して接続されたCPU（中央演算処理装置）31から出力されるコマンドを受け取って解読することにより、上記画像信号処理回路27を制御している。このCPU31は、メモリ32に格納されたコマンドがシステムバス30を介して与えられることにより、コントローラ29に出力するコマンドを生成している。

【0019】ここで、上記画像信号処理回路27において、入力端子26に供給された画像信号は、切替スイッチ33によって1ライン毎に交互にラインメモリ34、35に書き込まれた後、切替スイッチ36によって1ライン毎に交互にラインメモリ34、35から読み出される。このラインメモリ34、35に対する書き込み及び読み出しの動作と、切替スイッチ33、36の切替動作とは、上記コントローラ29からの指示を受ける前メモリコントローラ37によって制御される。

【0020】そして、上記ラインメモリ34、35から読み出され切替スイッチ36によって選択された画像信号は、シフトレジスタ38の各段に順次ラッチされる。このシフトレジスタ38の各段から出力される画像信号は、それぞれ乗算回路39、40により係数レジスタ41に格納された補間係数a、bが乗算された後、加算回路42で加算される。

【0021】この加算回路42で加算された画像信号は、切替スイッチ43によって1ライン毎に交互にラインメモリ44、45に書き込まれた後、切替スイッチ4

10

20

30

40

50

6によって1ライン毎に交互にラインメモリ44、45から読み出され、出力端子28に導かれる。このラインメモリ44、45に対する書き込み及び読み出しの動作と、切替スイッチ43、46の切替動作とは、上記コントローラ29からの指示を受ける後メモリコントローラ47によって制御される。

【0022】ここで、上記した前メモリコントローラ37、シフトレジスタ38、係数レジスタ41、加算回路42及び後メモリコントローラ47は、それぞれ入力端子37a、38a、41a、42a、47aに供給された周波数f1のクロックに基づいて駆動される。また、前メモリコントローラ37及び後メモリコントローラ47には、それぞれ入力端子37b、47bを介して水平同期周波数fhの信号が供給されている。

【0023】上記入力端子26に供給された画像信号に水平方向の圧縮・伸張処理を施す上で、CPU31は、画像の伸張率と、画像の圧縮・伸張処理を施す領域の水平方向の始点と終点の値と、圧縮・伸張処理が施された画像の水平方向の表示位置を示す始点と終点の値と、補間係数の値とを含むコマンドを、コントローラ29に送出する。すると、コントローラ29は、入力されたコマンドを分類して、画像の伸張率と、画像の圧縮・伸張処理を施す領域の水平方向の始点と終点の値とを前メモリコントローラ37に送出し、補間係数の値を係数レジスタ41に送出し、圧縮・伸張処理が施された画像の水平方向の表示位置を示す始点と終点の値を後メモリコントローラ47に送出する。

【0024】ここで、上記前メモリコントローラ37の動作例及び構成例について、図2乃至図8を参照して説明する。すなわち、原画像における水平方向のある領域に圧縮・伸張処理を施す場合、伸張率をE/Cとし、その領域の始点のアドレスをAstとし、圧縮・伸張された画像のアドレスをxとし、原画像のアドレスをyとすると、圧縮・伸張された画像のアドレスをxに相当する原画像のアドレスyは、

$$y = (C/E) x + Ast \quad \dots\dots (1)$$

で与えられる。

【0025】例えば、原画像の水平方向のアドレスが100以上、300以下の領域に関して、原画像を5/3倍に伸張する場合を考える。図2は、この条件での圧縮・伸張画像のアドレスに相当する原画像のアドレスを示している。ここで、例えば、圧縮・伸張画像のアドレス値xが2のとき、原画像のアドレス値は101余り1となる。このとき、アドレス値101余り1に相当する原画像信号は存在しないため、その近傍のアドレスの原画像信号に基づいて、アドレス値101余り1に相当する画像信号が生成される。

【0026】このアドレス値101余り1に相当する画像信号は、一次線形で補間される場合には、アドレス値101の原画像信号に4/5、アドレス値102の原画

像信号に1/5をそれぞれ乗算し、各乗算結果を加算することで得られる。このことから明かなように、圧縮・伸張画像を得るためには、上記(1)式を解き、その解の整数部分と余り部分とを算出しなければならない。

【0027】ところで、上記(1)式を解くためには、乗算や除算を行なう必要があり、CあるいはEの値が増加するに連れて乗算や除算を実行するための回路の規模が大幅に増加する。このため、ここで説明する第1の実施の形態では、乗算や除算を加算や減算で代行するを考えている。

【0028】すなわち、図3は、 $E \geq C$ (伸張)の場合の上記(1)式を解くためのフローチャートを示し、図4は、 $E = 5$ 、 $C = 3$ 、 $Ast = 100$ の場合の動作例を説明している。なお、図中xは圧縮・伸張画像のアドレスを示し、yは圧縮・伸張画像のアドレスに相当する原画像のアドレスを示し、 E/C は伸張率を示し、pは余りを示し、Ast及びAendは圧縮・伸張処理を施す領域の始点及び終点に相当する原画像のアドレスを示している。

【0029】図3及び図4に示されるように、圧縮・伸張画像のアドレスがインクリメントされるとき、圧縮・伸張画像のアドレスに相当する原画像のアドレスは、インクリメントされる場合とホールドされる場合とがある。そして、インクリメントされる場合、Flag=1とし、ホールドされる場合、Flag=0としている。

【0030】次に、図5は、 $E < C$ (圧縮)の場合の上記(1)式を解くためのフローチャートを示し、図6は、 $E = 3$ 、 $C = 5$ 、 $Ast = 100$ の場合の動作例を説明している。図5及び図6に示されるように、圧縮・伸張画像のアドレスがインクリメントされるとき、圧縮・伸張画像のアドレスに相当する原画像のアドレスは、常にインクリメントされるが、1つインクリメントされただけでは、その値が上記(1)式の解に相当する場合と相当しない場合とがある。そこで、解に相当する場合、Skip=0とし、解に相当しない場合、Skip=1としている。

【0031】図7は、図3に示したフローチャートの演算処理を、1種類のクロックで実現する前メモリコントローラ48の構成を示している。すなわち、入力端子481に供給された値“0”は、スイッチ482を介した後、加算回路483により入力端子484に供給された値“C”と加算される。

【0032】この加算回路484の出力は、そのままの値と、減算回路485により入力端子486に供給された値“E”を減算した値とが、減算回路485の出力のMSB(最上位ビット)によって制御されるマルチプレクサ487で選択され、レジスタ488でラッチされる。そして、このレジスタ488の出力が、加算回路483に帰還されるとともに、出力端子489からPhase・(余り)信号として取り出される。

【0033】また、入力端子4810に供給された伸張処理を施す領域の水平方向の始点を示す値は、スイッチ4811を介した後、そのままの値と、加算回路4812により入力端子4813に供給された値“1”を加算した値とが、上記減算回路485の出力のMSBによって制御されるマルチプレクサ4814で選択され、レジスタ4815でラッチされる。そして、このレジスタ4815の出力が、加算回路4812及びマルチプレクサ4814に帰還されるとともに、出力端子4816から読み出しアドレスとして取り出される。

【0034】さらに、入力端子4817に供給された値“0”と入力端子4818に供給された値“1”とが、上記減算回路485の出力のMSBによって制御されるマルチプレクサ4819で選択され、レジスタ4820でラッチされる。そして、このレジスタ4820の出力が、出力端子4821からFlag信号として取り出される。なお、入力端子4822に供給された値“0”は、そのまま出力端子4823からSkip信号として取り出される。

【0035】また、入力端子4824に供給された値“0”は、スイッチ4825を介した後、加算回路4826により入力端子4827に供給された値“1”が加算され、レジスタ4828でラッチされる。そして、このレジスタ4828の出力が、上記加算回路4826に帰還されるとともに、出力端子4829から書き込みアドレスとして取り出される。

【0036】次に、図8は、図5に示したフローチャートの演算処理を、1種類のクロックで実現する前メモリコントローラ49の構成を示している。すなわち、入力端子491に供給された値“0”は、スイッチ492を介した後、加算回路493により入力端子494に供給された値“C”が加算されるとともに、減算回路495により入力端子496に供給された値“E”が減算される。この加算回路493の出力は、減算回路497により入力端子496に供給された値“E”が減算され、この減算回路497の出力からは、減算回路498により入力端子496に供給された値“E”が減算されている。

【0037】その後、上記減算回路495、497の各出力が、上記減算回路498の出力のMSBによって制御されるマルチプレクサ499で選択され、レジスタ4910にラッチされる。そして、このレジスタ4910の出力が、加算回路493に帰還されるとともに、出力端子4911からPhase信号として取り出される。また、入力端子4912に供給された値“0”と、入力端子4913に供給された値“1”とは、上記減算回路498の出力のMSBによって制御されるマルチプレクサ4914で選択され、レジスタ4915にラッチされる。そして、このレジスタ4915の出力が、出力端子4916からSkip信号として取り出される。

50 【0038】また、入力端子4917に供給された圧縮処

理を施す領域の水平方向の始点を示す値は、スイッチ4918を介した後、加算回路4919により入力端子4920に供給された値“1”が加算され、レジスタ4921でラッチされる。そして、このレジスタ4921の出力が、上記加算回路4919に帰還されるとともに、出力端子4922から読み出しアドレスとして取り出される。

【0039】さらに、入力端子4923に供給された値“1”は、そのまま出力端子4924からFlag信号として取り出される。また、入力端子4925に供給された値“0”は、スイッチ4926を介した後、加算回路4927により入力端子4928に供給された値“1”が加算され、レジスタ4929でラッチされる。そして、このレジスタ4929の出力が、上記加算回路4927に帰還されるとともに、出力端子4930から書き込みアドレスとして取り出される。

【0040】ここで、図1に示した前メモリコントローラ37は、画像を伸張するか圧縮するかを判断し、それに応じて上述したような演算処理を実行してラインメモリ23、24を制御している。実際には、ラインメモリ23、24への書き込み時には、1クロック毎に書き込みアドレスをインクリメントし、読み出す際に、上述した演算処理を1クロック毎に行なうことで読み出しアドレスを制御するとともに、同時にPhase、Flag、Skip信号を出力している。また、上記の動作を2つのラインメモリ23、24でトグル動作させるように、1ライン毎に切替スイッチ22、25が制御される。

【0041】そして、ラインメモリ23、24から読み出された画像信号は、シフトレジスタ38に入力される。このシフトレジスタ38は、Flag=1のときデータのシフト動作を実行する。シフトレジスタ38の各段から出力される画像信号は、それぞれ乗算回路39、40により係数レジスタ41に格納された係数a、bと乗算されることにより補間される。この係数レジスタ41に格納された係数a、bは、コントローラ29から送出されたものである。

【0042】すなわち、例えば、E=8のとき、2つの乗算回路39、40によって一次線形補間処理を施す場合、係数レジスタ41の所有する係数の値は、図9に示すようになる。そして、この係数レジスタ41は、入力されるPhase信号の値に基づいて選択された補間係数a、bを、乗算回路39、40に出力している。これら乗算回路39、40の各出力は、加算回路42で加算されることにより補間処理が行なわれる。

【0043】この加算回路42の出力は、1ライン毎に入力を切り替える切替スイッチ43を経由して、ラインメモリ44、45にトグル動作で書き込まれる。これらラインメモリ44、45に書き込まれた画像信号は、1ライン毎に出力を切り替える切替スイッチ46を経由して、ラインメモリ44、45からトグル動作で読み出される。このようなラインメモリ44、45の動作と切替

スイッチ43、46の動作とは、後メモリコントローラ47によって制御される。

【0044】図10は、後メモリコントローラ47が書き込みアドレスを生成する動作を示すフローチャートである。図中Dst、Dendは、圧縮・伸張画像の水平方向の表示位置の始点及び終点をそれぞれ示している。また、Skipは、前述したSkip信号に乗算の分の遅延調整を施したものである。図10では、Skip=0のとき、その画像信号を有効と判断して書き込みアドレスをインクリメントし、ラインメモリ44、45に対して書き込み動作を行なわせる。また、Skip=1のとき、その画像信号を無効と判断して書き込みアドレスを保持し、ラインメモリ44、45に対する書き込み動作を行なわせないようにしている。

【0045】図11は、図10に示したフローチャートの演算処理を、1種類のクロックで実現する後メモリコントローラ50の構成を示している。すなわち、入力端子501に供給された値“0”は、スイッチ502を介した後、加算回路503により入力端子504に供給された値“1”が加算され、レジスタ505でラッチされる。そして、このレジスタ505の出力が、上記加算回路503に帰還されるとともに、出力端子506から読み出しアドレスとして取り出される。

【0046】また、入力端子507に供給された圧縮・伸張画像の水平方向の表示位置の始点を示す値は、スイッチ508を介した後、そのままの値と、加算回路509により入力端子5010に供給された値“1”を加算した値とが、入力端子5011に供給されたSkip信号によって制御されるマルチプレクサ5012で選択され、レジスタ5013でラッチされる。そして、このレジスタ5013の出力が、加算回路509及びマルチプレクサ5012に帰還されるとともに、出力端子5014から書き込みアドレスとして取り出される。

【0047】実際には、後メモリコントローラ47は、ラインメモリ44、45に対する書き込み時に上述した制御を行ない、ラインメモリ44、45からの読み出し時には、1クロック毎に読み出しアドレスをインクリメントしている。また、上記の動作を2つのラインメモリ44、45で1ライン毎にトグル動作させるようにするとともに、無効な画像信号を取り込まないように切替スイッチ43、46を制御している。そして、圧縮・伸張処理の施された画像信号が、出力端子28から取り出されるようになる。

【0048】以上に述べた一連の動作により、画像の水平方向に対して、任意の領域を任意の圧縮・伸張率で圧縮・伸張し、任意の位置に表示することができる。

【0049】図12は、この発明の第2の実施の形態を示している。図12において、図1と同一部分に同一符号を付して示すと、前メモリコントローラ37にメモリ51が接続されている。このメモリ51には、上述した

加減算結果の一部が格納され、その格納された値が1クロック毎に順次読み出される。

【0050】先に図3及び図5のフローチャートで示したp, Flag, Skipの値は、 $E \geq C$ の場合は周期Eで、 $E < C$ の場合は周期Cで繰り返されるため、その値がメモリ51に格納される。図13(a)は $E/C = 5/3$ の場合のメモリ51の記憶内容を示し、同図(b)は $E/C = 3/5$ の場合のメモリ51の記憶内容を示している。

【0051】前メモリコントローラ37は、メモリ51からp, Flag, Skipの値を読み出して、それぞれ必要とする回路に出力している。同時に、読み出しアドレスは、圧縮・伸張処理を施す画像領域の水平方向の始点と終点との範囲内で、Flag=1のときインクリメントされる。

【0052】図14は、この発明の第3の実施の形態を示している。図14において、図1と同一部分に同一符号を付して示すと、入力端子26に供給された画像信号を、水平方向のLPF(Low Pass Filter)52に通してから、画像信号処理回路27に供給することにより、圧縮の際に生じるエリアジングを除去することができる。

【0053】図15は、上記LPF52の詳細を示している。すなわち、入力端子521に供給された画像信号は、カスケードに接続された、3つの1画素遅延回路522~524、加算回路525及びマルチプレクサ526よりなる第1のフィルタ52aと、4つの1画素遅延回路527~5210、加算回路5211及びマルチプレクサ5212よりなる第2のフィルタ52bと、8つの1画素遅延回路5213~5220、加算回路5221及びマルチプレクサ5222よりなる第3のフィルタ52cとを介して、出力端子5223から取り出される。

【0054】この場合、LPF52は、その第1乃至第3のフィルタ52a、52b、52cのマルチプレクサ526、5212、5222に対して、それぞれ入力端子5224、5225、5226に供給された前記コントローラ29から出力される切替制御信号に基づいて出力の切り替えを行なわせることにより、周波数特性の切り替えが行なわれる。図15に示す構成では、画像を水平方向に1/8まで圧縮しても、ほぼエリアジングを除去することができる。

【0055】この第3の実施の形態では、画像信号が画像信号処理回路27に入力される以前に高周波成分を除去しようとしたが、これをしなくても補間演算を行なう際に、係数レジスタ41の係数値を変化させることによって周波数特性を変化させることが可能である。しかし、この手法を用いるためには、圧縮率が大きくなるに連れて、乗算回路の数や、係数レジスタ41、シフトレジスタ38、加算回路42の規模を大きくする必要が生じる。図15に示したLPF52を用いれば、係数が1

2と1/4であり、画像信号のビットシフトを利用しているので乗算回路39、40を増加させる必要もなくなる。

【0056】次に、図16及び図17は、この発明の第4の実施の形態を示している。この図16及び図17に示される第4の実施の形態は、図14及び図1に示した第3及び第1の実施の形態を画像の標準化周波数の変換処理にそれぞれ応用したものであり、図16及び図17において、図14及び図1と同一部分には同一符号を付して示している。すなわち、標準化周波数f1の画像信号を標準化周波数f2に変換することを考えると、 $f2 = (N/M) f1$ であるとき、 $N < M$ の場合、つまり $f2 < f1$ の場合の構成が図16に示すものとなる。

【0057】この場合、第3の実施の形態と同様な動作により、画像が水平方向に伸張率 N/M 倍で圧縮・伸張される。第3の実施の形態との違いは、後メモリコントローラ47のみに入力端子47cを介して周波数f2のクロックを供給し、後メモリコントローラ47を周波数f1、f2の2つのクロックで動作させていることである。このとき、後メモリコントローラ47は、周波数f2のクロックに基づいてラインメモリ44、45に対する読み出しアドレスの制御以後の処理を実行し、それ以前の処理は周波数f1のクロックに基づいて実行している。これにより、標準化周波数f1の画像信号を標準化周波数f2に変換することができる。

【0058】また、 $f2 = (N/M) f1$ であるとき、 $N \geq M$ の場合、つまり $f2 \geq f1$ の場合の構成が図17に示すものとなる。この場合、第1の実施の形態と同様な動作により、画像が水平方向に伸張率 N/M 倍で圧縮・伸張される。第1の実施の形態との違いは、前メモリコントローラ37のみに入力端子37cを介して周波数f2のクロックを供給し、前メモリコントローラ37を周波数f1、f2の2つのクロックで動作させていることである。このとき、前メモリコントローラ37は、周波数f2のクロックに基づいてラインメモリ34、35に対する読み出しアドレスの制御以後の処理を実行し、それ以前の処理は周波数f1のクロックに基づいて実行している。これにより、標準化周波数f1の画像信号を標準化周波数f2に変換することができる。

【0059】図18は、この発明の第5の実施の形態を示している。この第5の実施の形態は、順次走査の画像に垂直方向の圧縮・伸張処理を施すようにしたものである。図18において、図1と同一部分には同一符号を付して示している。図1との違いは、ラインメモリ23、24、44、45に代えてフレームメモリ53~56が用いられる点と、前メモリコントローラ37及び後メモリコントローラ47に入力端子37d、47dを介して、フレーム同期周波数fvの信号が供給されている点である。

【0060】画像に垂直方向の圧縮・伸張処理を施す上

で、CPU31は、システムバス30を介してコントローラ29に、画像の伸張率、圧縮・伸張処理を施す画像の領域の垂直方向の始点と終点の値、圧縮・伸張処理された画像の垂直方向の表示位置を示す始点と終点の値、補間係数の値等のコマンドを送出する。コントローラ29は、これらのコマンドを分類して、前メモリコントローラ37に、画像の伸張率と、伸張処理を施す画像の領域の垂直方向の始点と終点の値とを送り、係数レジスタ41に補間係数の値を送り、後メモリコントローラ47に圧縮・伸張処理された画像の垂直方向の表示位置を示す始点と終点の値を送る。

【0061】入力端子26に供給された順次走査の画像信号は、1フレーム毎に入力を切り替える切替スイッチ33を経由して、フレームメモリ53、54にトグル動作で書き込まれる。これらフレームメモリ53、54に格納された画像信号は、1フレーム毎に出力を切り替える切替スイッチ36を経由してフレームメモリ53、54から読み出される。このようなフレームメモリ53、54の動作と切替スイッチ33、36の動作とは、前メモリコントローラ37によって制御される。

【0062】ただし、図18に示す前メモリコントローラ37において、図1に示した前メモリコントローラ37と異なる部分は、上記(1)式の演算を画像の垂直方向のアドレス制御に適用していることである。上記

(1)式の演算手法は、第1の実施の形態と同様に説明することができる。実際には、フレームメモリ53、54に書き込みを行なう場合には、1クロック毎に水平方向のアドレス、1ライン毎に垂直方向のアドレスをインクリメントし、フレームメモリ53、54から読み出しを行なう場合には、1クロック毎に水平方向のアドレスをインクリメントし、1ライン毎に(1)式の演算を行ない、垂直方向のアドレスをインクリメントするとともに、Phase(余り)、Flag、Skip信号を出力する。

【0063】また、上記の動作を2つのフレームメモリ53、54でトグル動作させるように、1フレーム毎に切替スイッチ33、36を制御している。なお、上記第4の実施の形態においては、図3及び図5に示したAst、Aendは、それぞれ圧縮・伸張処理を施す画像の領域の垂直方向の始点と終点とを示している。そして、フレームメモリ53、54から読み出された画像信号は、シフトレジスタ38に入力される。

【0064】図19は、シフトレジスタ38の詳細を示している。すなわち、入力端子381に供給された画像信号は、マルチプレクサ382を介して1ライン分のレジスタを有し1クロック毎にデータをシフトさせるシフトレジスタ383に供給される。このシフトレジスタ383の出力は、出力端子384を介して前記乗算回路40に供給されるとともに、マルチプレクサ382に帰還される。このマルチプレクサ382は、入力端子385に供給されるFlag信号が“1”のとき入力端子381に

供給された画像信号を出力し、Flag信号が“0”のときシフトレジスタ383から出力された画像信号を出力するように制御される。

【0065】また、上記シフトレジスタ383から出力された画像信号は、マルチプレクサ386を介して1ライン分のレジスタを有し1クロック毎にデータをシフトさせるシフトレジスタ387に供給される。このシフトレジスタ387の出力は、出力端子388を介して前記乗算回路39に供給されるとともに、マルチプレクサ386に帰還される。このマルチプレクサ386は、入力端子389に供給されるFlag信号が“1”のときシフトレジスタ383から出力された画像信号を出力し、Flag信号が“0”のときシフトレジスタ387から出力された画像信号を出力するように制御される。

【0066】そして、これら乗算回路39、40の各出力は、加算回路42で加算されることにより補間処理が行なわれる。この加算回路42の出力は、1フレーム毎に入力を切り替える切替スイッチ43を経由して、フレームメモリ55、56にトグル動作で書き込まれる。これらフレームメモリ55、56に書き込まれた画像信号は、1フレーム毎に出力を切り替える切替スイッチ46を経由して、フレームメモリ55、56からトグル動作で読み出される。このようなフレームメモリ55、56の動作と切替スイッチ43、46の動作とは、後メモリコントローラ47によって制御される。

【0067】図18における後メモリコントローラ47の第1の実施の形態との違いは、図10に示した動作を1ライン毎に行なっていることである。実際には、後メモリコントローラ47は、フレームメモリ55、56に対する書き込み時に、1クロック毎に水平方向のアドレスをインクリメントし、1ライン毎に図10に示した演算を行ない垂直方向のアドレスを算出している。また、後メモリコントローラ47は、フレームメモリ55、56からの読み出し時に、1クロック毎に水平方向のアドレスをインクリメントし、1ライン毎に垂直方向のアドレスをインクリメントしている。

【0068】そして、後メモリコントローラ47は、上記の動作を2つのフレームメモリ55、56で1フレーム毎にトグル動作させるようにするとともに、また、無効な画像信号を書き込まないように切替スイッチ43、46を制御している。なお、第4の実施の形態においては、図10に示したDst、Dendは、それぞれ圧縮・伸張された画像を表示する位置の垂直方向の始点と終点とを示している。そして、圧縮・伸張処理の施された画像信号が、出力端子28から取り出されるようになる。

【0069】以上に述べた一連の動作により、画像の垂直方向に対して、任意の領域を任意の圧縮・伸張率で圧縮・伸張し、任意の位置に表示することができる。

【0070】図20は、この発明の第6の実施の形態を示している。図20において、図18と同一部分に同一

符号を付して示すと、入力端子 26 に供給された画像信号を、垂直方向の L P F 57 に通してから、画像信号処理回路 27 に供給することにより、圧縮の際に生じるエリャジングを除去することができる。

【0071】図 21 は、上記 L P F 57 の詳細を示している。すなわち、入力端子 571 に供給された画像信号は、カスケードに接続された、3 つの 1 ライン遅延回路 572 ~ 574、加算回路 575 及びマルチプレクサ 576 よりなる第 1 のフィルタ 57a と、4 つの 1 ライン遅延回路 577 ~ 5710、加算回路 5711 及びマルチプレクサ 5712 よりなる第 2 のフィルタ 57b と、8 つの 1 ライン遅延回路 5713 ~ 5720、加算回路 5721 及びマルチプレクサ 5722 よりなる第 3 のフィルタ 57c とを介して、出力端子 5723 から取り出される。

【0072】この場合、L P F 57 は、その第 1 乃至第 3 のフィルタ 57a、57b、57c のマルチプレクサ 576、5712、5722 に対して、それぞれ入力端子 5724、5725、5726 に供給された前記コントローラ 29 から出力される切替制御信号に基づいて出力の切り替えを行なわせることにより、周波数特性の切り替えが行なわれる。図 21 に示す構成では、画像を垂直方向に 1/8 まで圧縮しても、ほぼエリャジングを除去することができる。

【0073】なお、この発明は上記した各実施の形態に限定されるものではなく、この外その要旨を逸脱しない範囲で種々変形して実施することができる。

【0074】

【発明の効果】以上詳述したようにこの発明によれば、デジタル画像信号に対してその標準化周波数のみを用いて圧縮・伸張処理を施すことができ、また、デジタル画像信号に対してその標準化周波数と変換処理後の標準化周波数とを用いて標準化周波数の変換処理を施すことができる極めて良好な画像信号処理装置を提供することができる。

【図面の簡単な説明】

【図 1】この発明に係る画像信号処理装置の第 1 の実施の形態を示すブロック構成図。

【図 2】同第 1 の実施の形態における圧縮・伸張画像のアドレスとそれに相当する原画像のアドレスとの関係を説明するために示す図。

【図 3】同第 1 の実施の形態における伸張画像のアドレスに相当する原画像のアドレスを算出するための演算処理を説明するために示すフローチャート。

【図 4】同第 1 の実施の形態における同演算処理を具体的に説明するために示す図。

【図 5】同第 1 の実施の形態における圧縮画像のアドレスに相当する原画像のアドレスを算出するための演算処理を説明するために示すフローチャート。

【図 6】同第 1 の実施の形態における同演算処理を具体的に説明するために示す図。

【図 7】同第 1 の実施の形態における図 3 に示したフローチャートの演算処理を実現するためのブロック構成図。

【図 8】同第 1 の実施の形態における図 5 に示したフローチャートの演算処理を実現するためのブロック構成図。

【図 9】同第 1 の実施の形態における係数レジスタの係数値の具体例を説明するために示す図。

【図 10】同第 1 の実施の形態における後メモリコントローラの演算処理を説明するために示すフローチャート。

【図 11】同第 1 の実施の形態における図 10 に示したフローチャートの演算処理を実現するためのブロック構成図。

【図 12】この発明の第 2 の実施の形態を示すブロック構成図。

【図 13】同第 2 の実施の形態における伸張及び圧縮時のメモリの値の具体例を説明するために示す図。

【図 14】この発明の第 3 の実施の形態を示すブロック構成図。

【図 15】同第 3 の実施の形態における L P F の詳細を示すブロック構成図。

【図 16】この発明の第 4 の実施の形態を示すもので、変換後の標準化周波数が元の周波数よりも低い場合を示すブロック構成図。

【図 17】この発明の第 4 の実施の形態を示すもので、変換後の標準化周波数が元の周波数よりも高い場合を示すブロック構成図。

【図 18】この発明の第 5 の実施の形態を示すブロック構成図。

【図 19】同第 5 の実施の形態におけるシフトレジスタの詳細を示すブロック構成図。

【図 20】この発明の第 6 の実施の形態を示すブロック構成図。

【図 21】同第 6 の実施の形態における L P F の詳細を示すブロック構成図。

【図 22】複数の画像の合成を説明するために示す図。

【図 23】画像の水平方向の圧縮・伸張を説明するために示す図。

【図 24】画像の水平方向の圧縮・伸張時における水平アドレスの変化を説明するために示す図。

【図 25】標準化周波数を変換した場合の画像の変化を説明するために示す図。

【図 26】画像信号の標準化周波数を N/M 倍に変換するための従来の標準化周波数変換回路を示すブロック構成図。

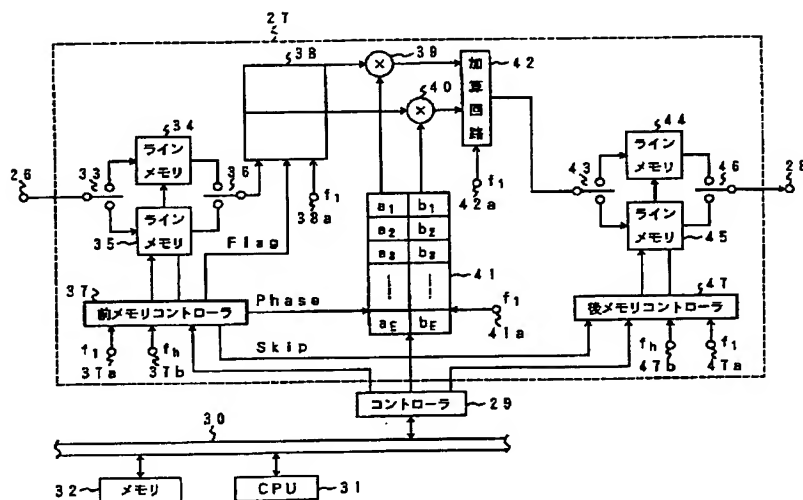
【図 27】画像信号を水平方向に E/C 倍に伸張するための従来の伸張処理回路を示すブロック構成図。

【符号の説明】

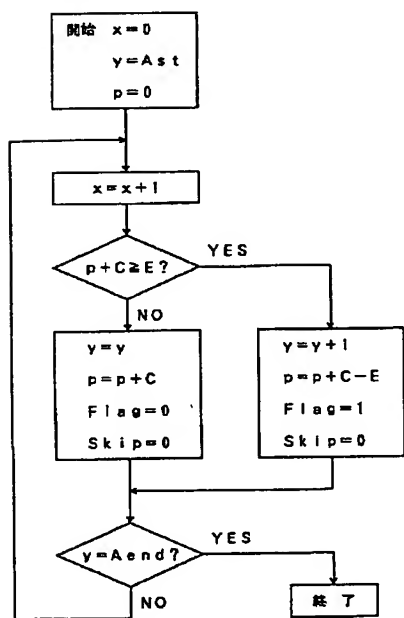
11、12…入力端子、13…レジスタ、14…シフト

レジスタ、15…周波数逡倍回路、16…加重加算回路、17…乗算回路、18…入力端子、19…レジスタ、20…周波数逡倍回路、21…出力端子、22…切替スイッチ、23、24…ラインメモリ、25…切替スイッチ、26…入力端子、27…画像信号処理回路、28…出力端子、29…コントローラ、30…システムバス、31…CPU、32…メモリ、33…切替スイッチ、34、35…ラインメモリ、36…切替スイッチ、*

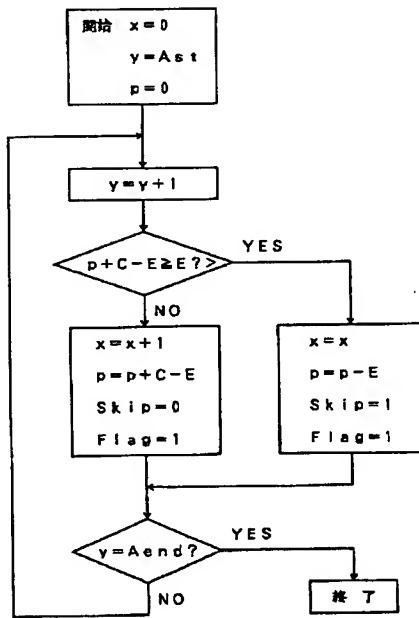
【図1】



【図3】



【図5】



* 37…前メモリコントローラ、38…シフトレジスタ、39、40…乗算回路、41…係数レジスタ、42…加重加算回路、43…切替スイッチ、44、45…ラインメモリ、46…切替スイッチ、47…後メモリコントローラ、48、49…前メモリコントローラ、50…後メモリコントローラ、51…メモリ、52…LPF、53…フレームメモリ、57…LPF。

【図9】

Phase

Phase	1	0
0	0.875	0.125
1	0.75	0.25
2	0.625	0.375
3	0.5	0.5
4	0.375	0.625
5	0.25	0.75
6	0.125	0.875
7		

【図13】

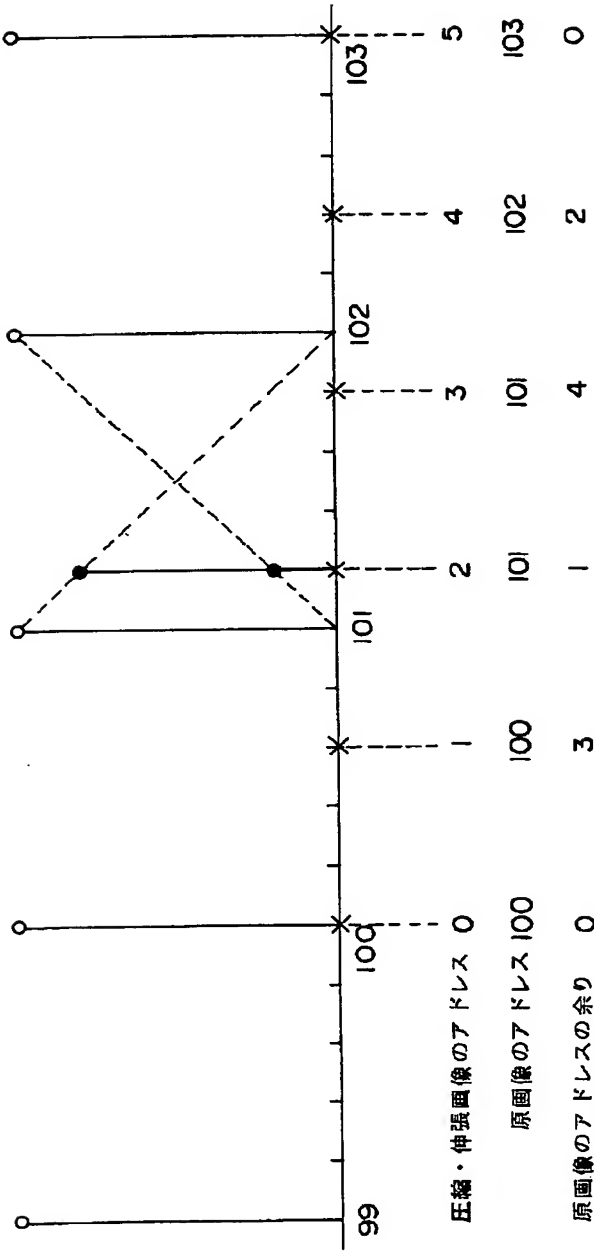
(a)

p	Flag	Skip
0	1	0
1	0	0
2	1	0
3	0	0
4	1	0

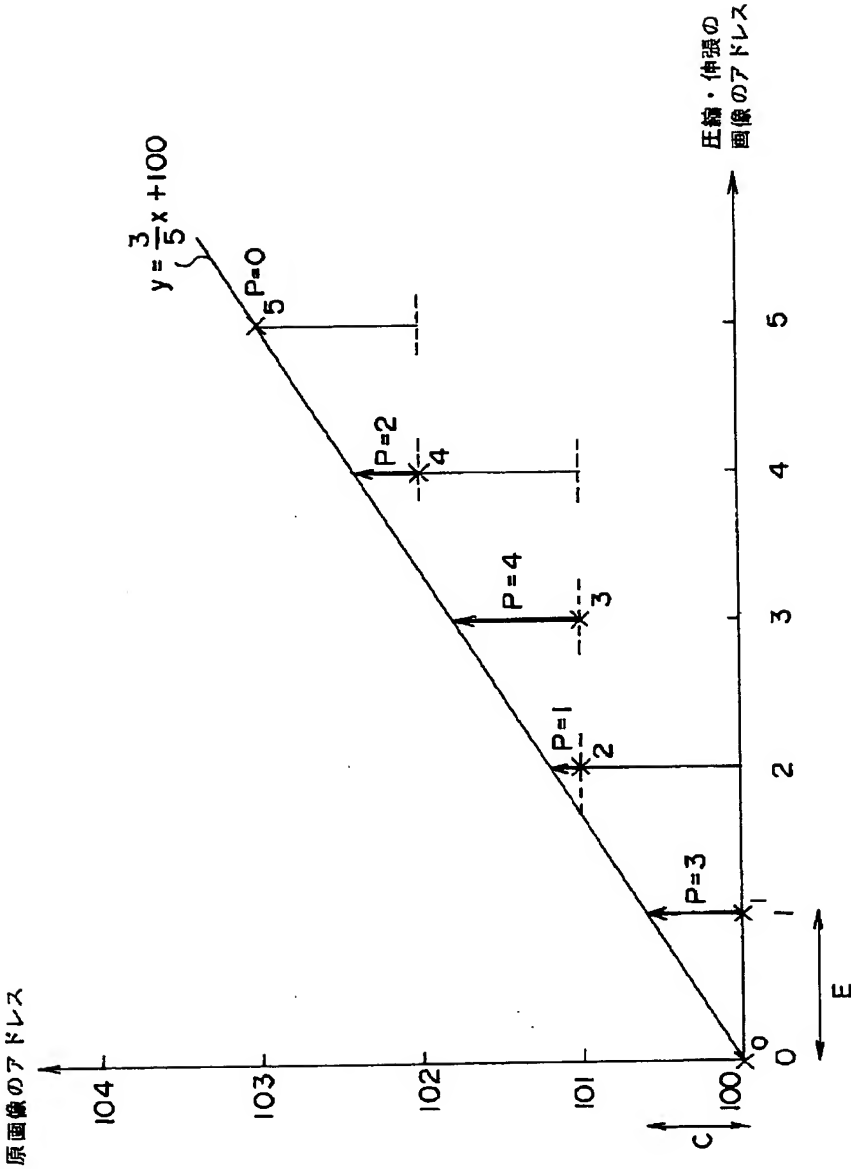
(b)

p	Flag	Skip
0	1	0
1	1	0
2	1	1
3	1	0
4	1	1

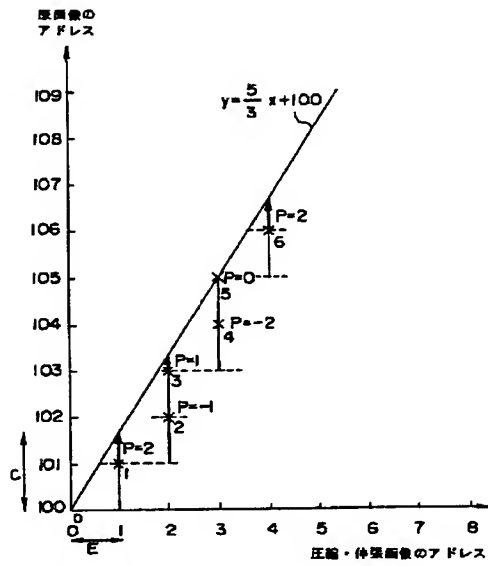
【図2】



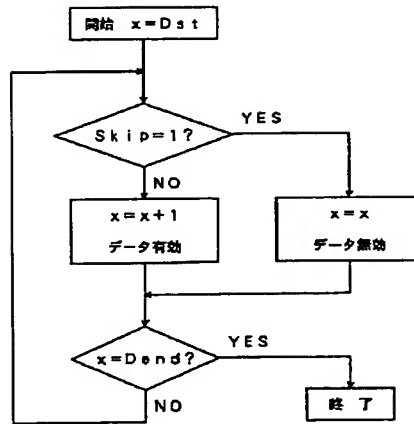
【図4】



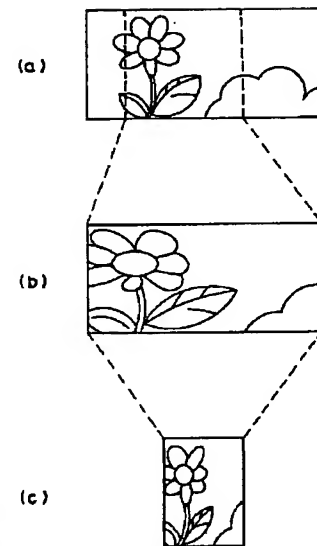
【図6】



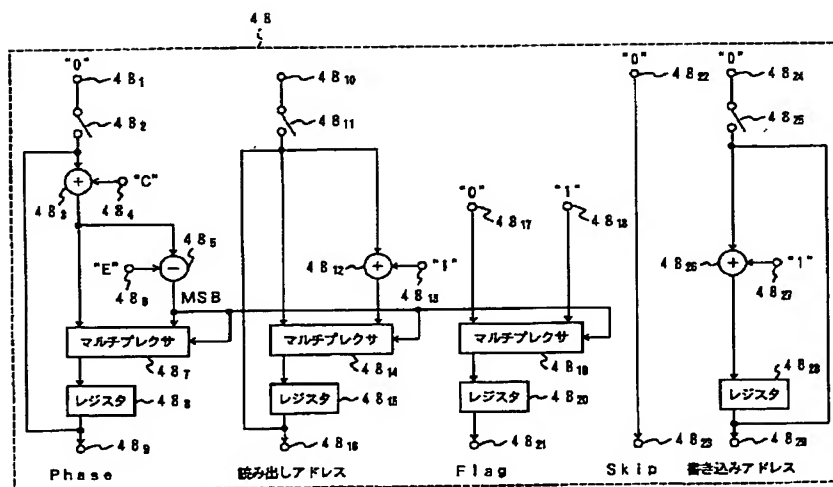
【図10】



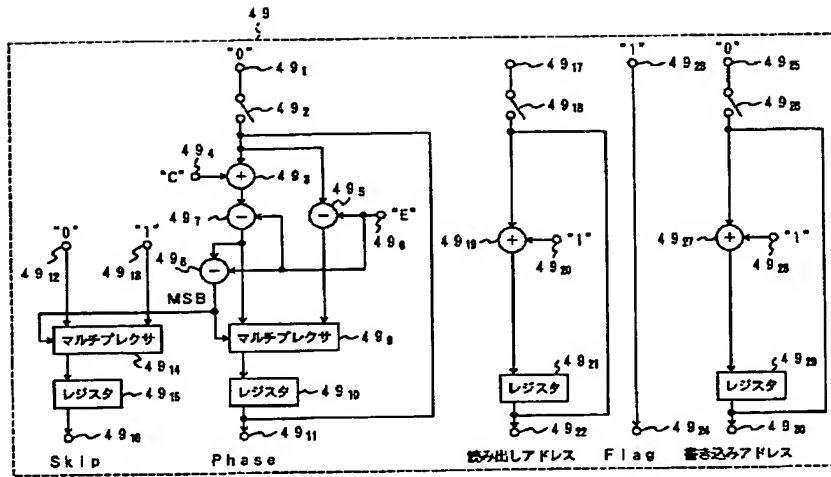
【図23】



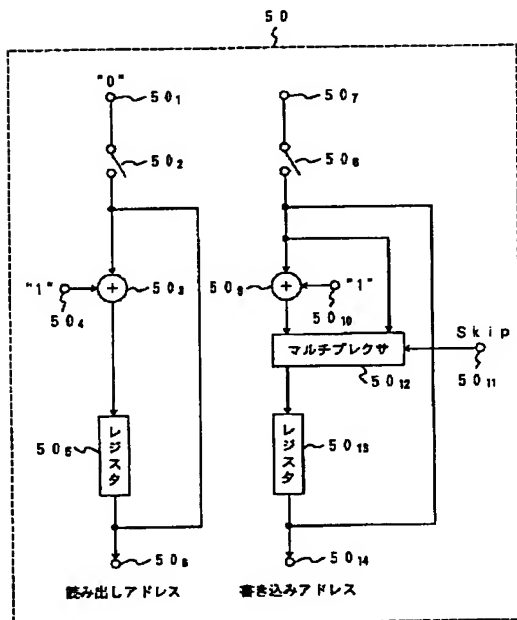
【図7】



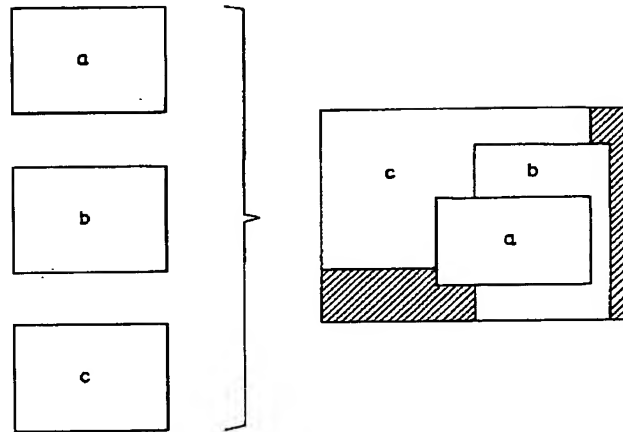
【図8】



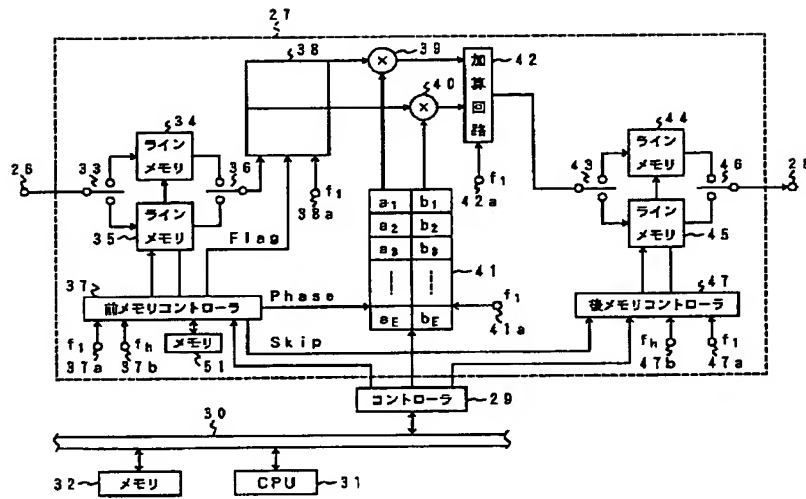
【図11】



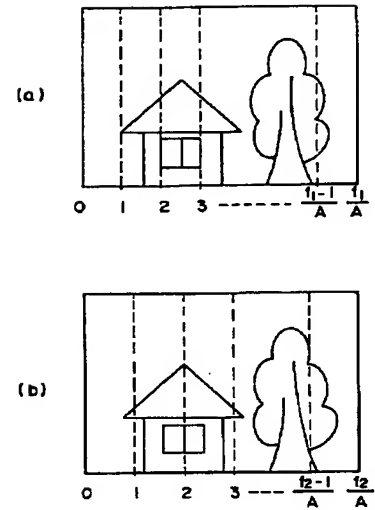
【図22】



【図12】



【図25】



【図14】

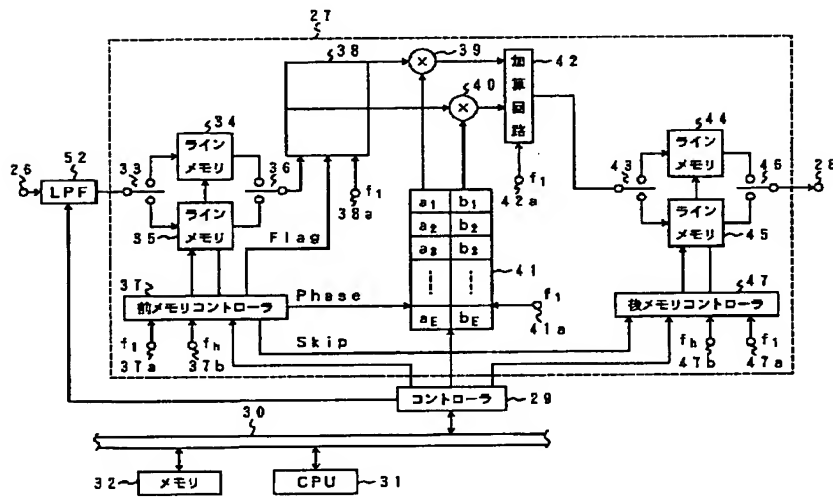


Figure 1 is a block diagram of a digital filter. The diagram is divided into two main horizontal sections. The top section contains a series of delay elements (rectangles labeled '遅延') and multipliers (rectangles labeled 'マルチ'). The bottom section is similar but includes a feedback loop. The diagram is labeled with various reference numerals (e.g., 521, 522, 523, etc.) and includes a legend for the symbols used.

Legend:

- 遅延 (Delay)
- マルチ (Multiplier)
- プレサ (Pre-processor)
- 加算回路 (Addition circuit)

20

26

52

LPF

33

34

ラインメモリ

36

35

ラインメモリ

37

前メモリコントローラ

37a

37b

37c

37d

37e

37f

37g

37h

37i

37j

37k

37l

37m

37n

37o

37p

37q

37r

37s

37t

37u

37v

37w

37x

37y

37z

38

38a

38b

38c

38d

38e

38f

38g

38h

38i

38j

38k

38l

38m

38n

38o

38p

38q

38r

38s

38t

38u

38v

38w

38x

38y

38z

39

39a

39b

39c

39d

39e

39f

39g

39h

39i

39j

39k

39l

39m

39n

39o

39p

39q

39r

39s

39t

39u

39v

39w

39x

39y

39z

40

40a

40b

40c

40d

40e

40f

40g

40h

40i

40j

40k

40l

40m

40n

40o

40p

40q

40r

40s

40t

40u

40v

40w

40x

40y

40z

41

41a

41b

41c

41d

41e

41f

41g

41h

41i

41j

41k

41l

41m

41n

41o

41p

41q

41r

41s

41t

41u

41v

41w

41x

41y

41z

42

42a

42b

42c

42d

42e

42f

42g

42h

42i

42j

42k

42l

42m

42n

42o

42p

42q

42r

42s

42t

42u

42v

42w

42x

42y

42z

43

43a

43b

43c

43d

43e

43f

43g

43h

43i

43j

43k

43l

43m

43n

43o

43p

43q

43r

43s

43t

43u

43v

43w

43x

43y

43z

44

44a

44b

44c

44d

44e

44f

44g

44h

44i

44j

44k

44l

44m

44n

44o

44p

44q

44r

44s

44t

44u

44v

44w

44x

44y

44z

45

45a

45b

45c

45d

45e

45f

45g

45h

45i

45j

45k

45l

45m

45n

45o

45p

45q

45r

45s

45t

45u

45v

45w

45x

45y

45z

46

46a

46b

46c

46d

46e

46f

46g

46h

46i

46j

46k

46l

46m

46n

46o

46p

46q

46r

46s

46t

46u

46v

46w

46x

46y

46z

47

47a

47b

47c

47d

47e

47f

47g

47h

47i

47j

47k

47l

47m

47n

47o

47p

47q

47r

47s

47t

47u

47v

47w

47x

47y

47z

48

48a

48b

48c

48d

48e

48f

48g

48h

48i

48j

48k

48l

48m

48n

48o

48p

48q

48r

48s

48t

48u

48v

48w

48x

48y

48z

29

30

31

32

メモリ

CPU

33

34

35

36

37

38

39

40

41

42

43

44

45

46

47

48

49

50

51

52

53

54

55

56

57

58

59

60

61

62

63

64

65

66

67

68

69

70

71

72

73

74

75

76

77

78

79

80

81

82

83

84

85

86

87

88

89

90

91

92

93

94

95

96

97

98

99

100

101

102

103

104

105

106

107

108

109

110

111

112

113

114

115

116

117

118

119

120

121

122

123

124

125

126

127

128

129

130

131

132

133

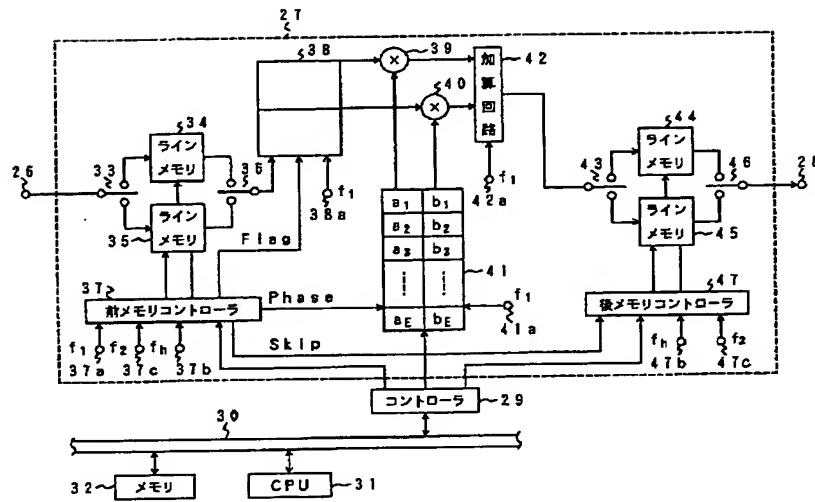
134

135

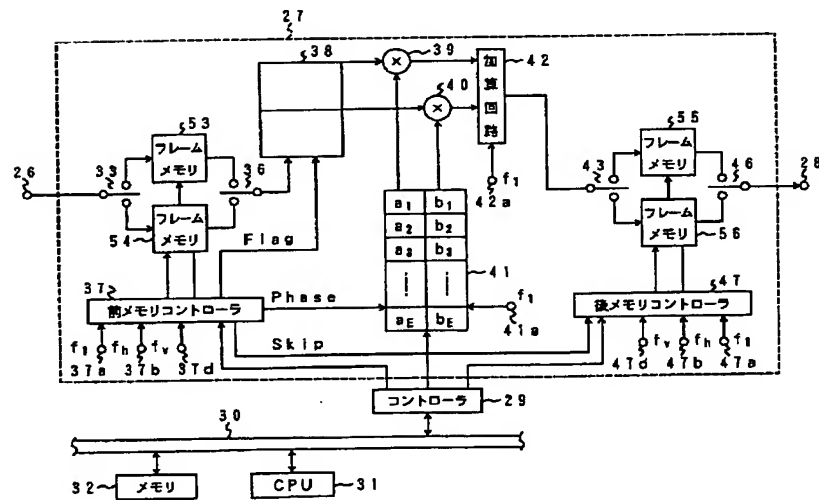
136

137

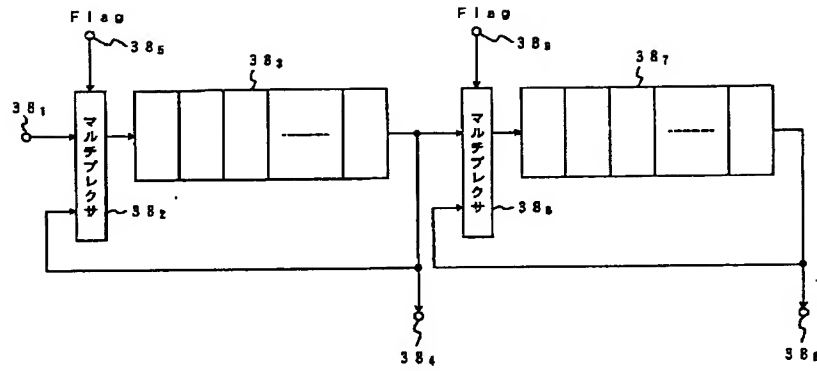
【図17】



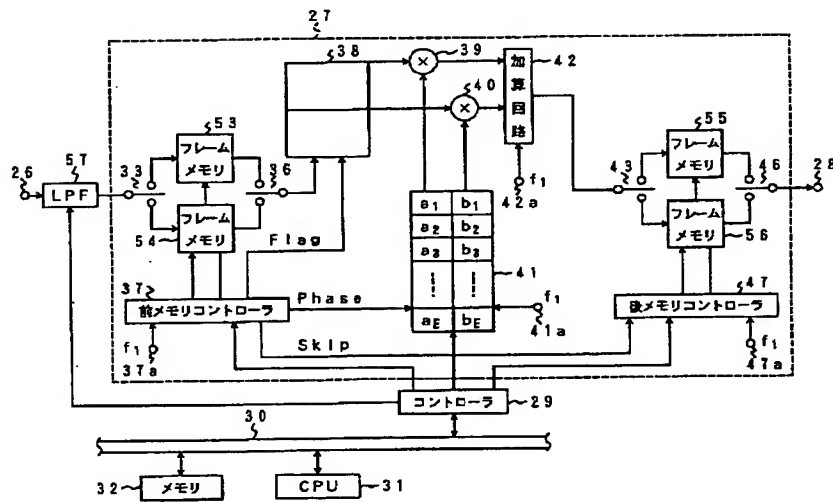
【図18】



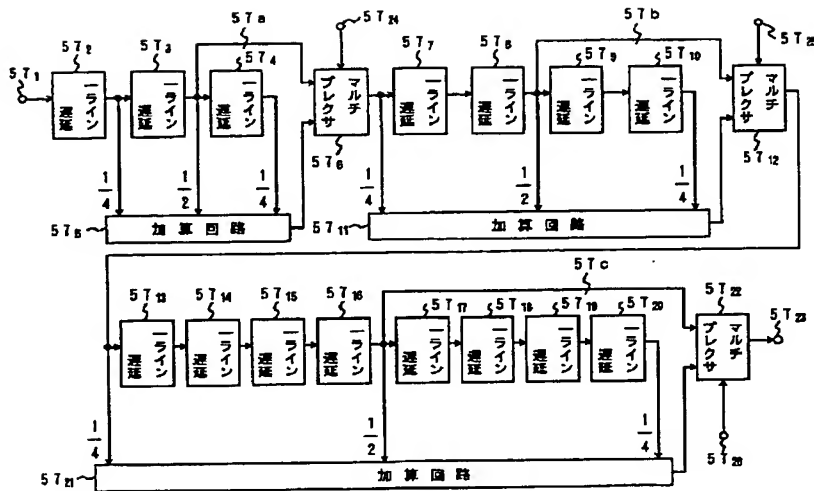
【図19】



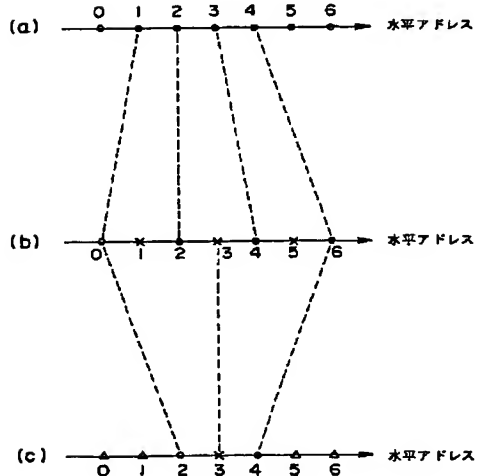
【図20】



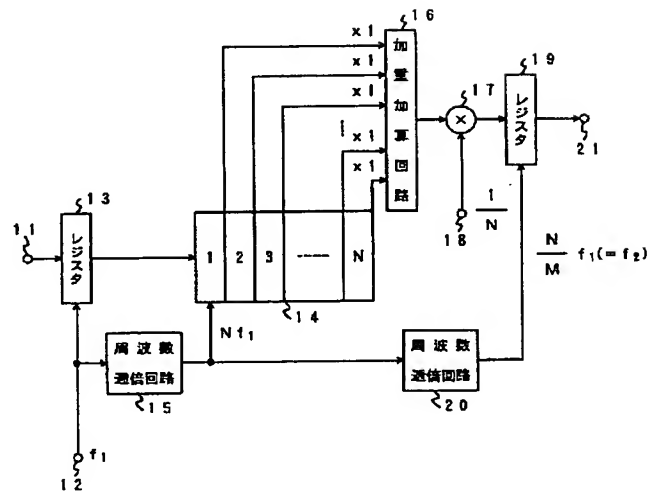
【図21】



【図24】



【図26】



【図 27】

